

引用格式:郑子遇,江先阳,汤知日.一种基于忆阻器的可扩展乘法器设计[J].微电子学与计算机,2019,36(11):60-64.
[ZHENG Z Y, JIANG X Y, TANG Z R. An expandable multiplier design based on memristor [J]. Microelectronics & Computer, 2019, 36(11): 60-64]

一种基于忆阻器的可扩展乘法器设计

郑子遇,江先阳,汤知日

(武汉大学 物理科学与技术学院 物理国家级实验教学示范中心, 湖北 武汉 430072)

摘 要: 针对在基于忆阻器的全加器设计中,在级联时前级结构需要向后级结构输出的结果以阻值的形式储存在忆阻器中无法直接获取的问题,设计了一种将忆阻器的阻值转换为电压值以方便输出的新结构.基于提出的新结构,改进了基于忆阻器的全加器设计,以此为基础设计了基于忆阻器的乘法器,并实现了乘法器的位宽扩展.以两位乘法器为例,基于 HP 模型,利用 LTspice XVII 仿真,展示提出的读出结构可以有效支持乘法器的位宽扩展.

关键词: 忆阻器;全加器;布尔逻辑门;乘法器;扩展

中图分类号: TN60 文献标识码: A 文章编号: 1000-7180(2019)11-0060-05

An expandable multiplier design based on memristor

ZHENG Zi-yu, JIANG Xian-yang, TANG Zhi-ri

(National Demonstration Center for Experimental Physics and Education,
School of Physics and Technology, Wuhan University, Wuhan 430072, China)

Abstract: For memristor-based full adder, the output result of pre-structure is necessary to be transferred to the post-structure, which is stored in the form of resistance value and cannot be utilized directly by the post-structure. Targeting at this problem, a novel read-out structure is proposed which converts the value of memristor resistance into voltage value. Based on the proposed structure, a memristor based full adder has been improved and based on this memristor based multiplier is designed and bit-width can be freely expanded. By two-bit multiplier example, based on HP memristor model and by LTspice simulation, it is demonstrated that the proposed structure can efficiently support bit-width expansion of memristor based multiplier.

Key words: memristor; full adder; boolean logic gate; multiplier; extension

1 引言

忆阻器(Memristor)是电阻、电容和电感外的第四种基本电路元器件,表示磁通 Φ 与电荷 q 之间的关系^[1],忆阻器的阻值 $M(q)$ 可以通过式(1)计算.

$$M(q)=\frac{d\Phi}{dq}\tag{1}$$

忆阻器和电阻的区别在于,当磁通量和电荷量

呈非线性关系时,忆阻器的阻值和流经其两端的电荷总量有关,而电阻则不变.忆阻器在断电之后,其阻值也依然能保持不变,即其具有非易失特性.

首个忆阻器实物由 Williams 等人于 2008 年在惠普实验室研制成功^[2].2010 年,惠普实验室证实可以通过基于忆阻器的蕴含操作和清零操作来实现传统电路中任何复杂的布尔逻辑运算操作^[3],也即蕴含逻辑是一种完备的逻辑实现方式.具体而言,蕴含操作(用 $p \text{ IMP } q$ 的形式来表示,其结果等价于逻辑

辑表达式 $\bar{p}+q$ 可以通过分别存储 p 和 q 的两个忆阻器、一个负载电阻和若干纳米线实现,典型的电路实现结构如图 1 所示,其中 R_G 是一个分压电阻,其阻值满足 $R_{\text{OPEN}} > R_G > R_{\text{CLOSE}}$ (其中 R_{OPEN} 和 R_{CLOSE} 分别是忆阻器高阻和低阻状态的阻值)^[4].

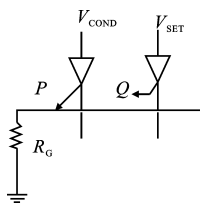


图 1 实现蕴含操作电路结构

(V_{COND} 的电压大小介于 0 到 V_{SET} 之间)

通常,我们将忆阻器的高阻态(R_{OPEN})记为逻辑“0”,低阻态(R_{CLOSE})记为逻辑“1”^[5]. p, q 的初始值保存在忆阻器 P 和 Q 中. 如果对 P 和 Q 分别施加一序列电压 $V_{\text{COND}}, V_{\text{SET}}$, 就可以实现蕴含操作. 蕴含操作完成后,其输出值存储在忆阻器 Q 里. 蕴含操作中的一种特殊情况是,若忆阻器 Q 的初始值为“0”,则 $p \text{ IMP } q$ 的操作就等价于非 p .

在基于忆阻器的蕴含逻辑电路单元之间互联时,忆阻器的阻值可能会逐渐偏离 R_{OPEN} 和 R_{CLOSE} 两个状态,从而引入不稳定因素^[6-7]. 为了解决这一问题,研究人员提出了一种 NIMP 逻辑,也即一个能执行 $\bar{p}q$ 的逻辑运算的新的电路结构^[8],但该电路结构仍然不能解决大规模基于忆阻器的电路的扩展问题. 这一问题的主要原因在于,采用蕴含逻辑来实现布尔逻辑操作的方法具有一定的缺陷,那就是电路需要较多的忆阻器数目或较多的电压触发序列^[9-10].

华中科技大学的 Y. Zhang 等人^[11] 提出的一系列两输入逻辑门由三个忆阻器组成,在逻辑上是以电压形式输入需要操作的逻辑值,而以阻态形式输出结果,基于这类基本逻辑门的全加器^[12] 同样存在上述的级联时逻辑值的传递和转换问题.

针对级联存在的逻辑值的传递和转换问题,提出了一种将忆阻器阻值状态读出的新结构,用于改进传统全加器的级联,在此基础上设计了基于忆阻器的乘法器,支持乘法器的位宽扩展.

2 提出的逻辑值读出结构

提出的逻辑值读出结构如图 2 所示. 该结构在逻辑门完成逻辑操作后, A 端从保存计算结果的忆阻器远地端读取出电压信息,然后转换为以电平表

示的逻辑状态从 B 端输出. 忆阻器会根据其两端施加的电压而改变自身的状态,读出结构的 A 端通过读取忆阻器上的电压值,根据该电压改变忆阻器的状态,从而控制 B 端以电压形式输出相应逻辑值. 图 3 和图 4 分别给出了“或”门和“与”门采用提出的逻辑值读出结构情况,图中,输入 B_0 和 B_1 分别是两个逻辑操作数,并且是以电压的形式输入,0.5V 代表逻辑“1”,0V 代表逻辑“0”,采用提出的读出结构后,将逻辑计算结果通过 B 端以电压形式输出,实现和输入值为电压的需求统一.

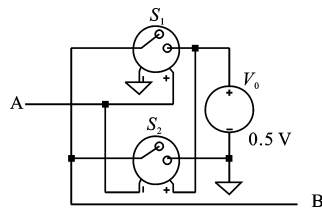


图 2 忆阻器状态读出结构

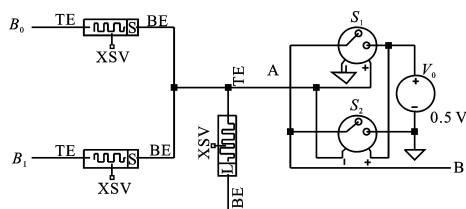


图 3 基于提出结构的“或”逻辑门电路

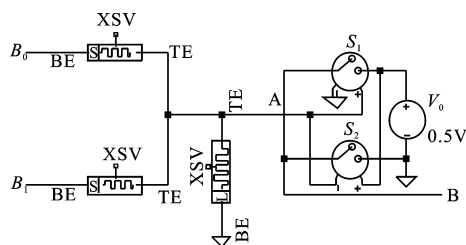


图 4 基于提出结构的“与”逻辑门电路

提出的逻辑值读出结构读取忆阻器状态是独立于逻辑门之外的结构,不会对逻辑门结构本身的计算产生干扰,且能有效的阻断逻辑门级联时相互之间的干扰.

为了进一步说明读出结构对电路级联的提升,以图 5 所示结构为例来说明. 图 5 中包含 4 个“与”门和 4 个“或”门级联的逻辑操作. 经过 LTspice XVII 仿真,对于 $V_1 \sim V_9$ 9 个逻辑操作数依此为 0、1、0、1、0、1、1、1、1 的情形,结果如图 6 所示,由图可以看出最终曲线稳定点约为 0.5 V,实际输出结果与理论值相符,展现读出结构能够有效支持逻辑门的深度级联.

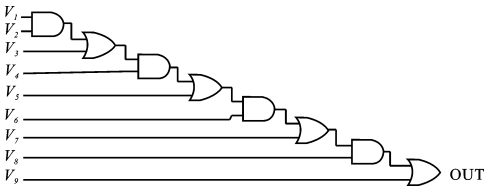


图 5 八级逻辑门级联

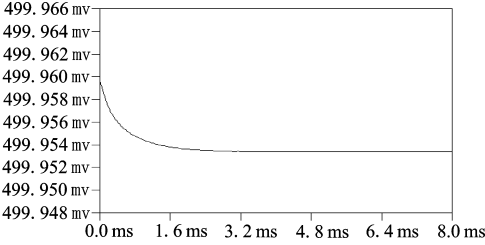


图 6 OUT 输出结果

3 基于忆阻器的全加器的级联扩展

传统基于忆阻器的全加器不能实现大规模电路的直接级联扩展,因为电路的输出和下一级的输入需求不直接相同.为了解决这一问题,基于上述提出的读出结构,经过适宜性改造如图 7 所示.这一结构中,“进位输入”端用来读出忆阻器远地端的电压变化信息,然后将电压信息直接通过 C 端传递给下一级,从而将储存在忆阻器中的阻值信息转换为电压信息传递出来.

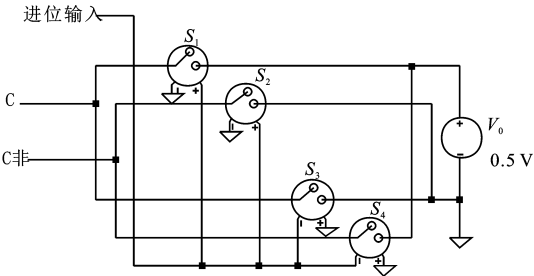


图 7 支持全加器进位端信号的读出结构

图 8 给出了利用提出的结构支持全加器多位扩展时进位信息在级联时的具体实现方式.图中的“进位输入”、“C”和“C 非”与图 7 相对应,低位全加器完成二进制数的低位加法运算后(如图中 a_i 和 b_i 的相加),将进位信息传递给提出的读出结构,读出结构根据低位传来的信号将阻值信息转化为电压信息后传递给高位全加器,依此类推,实现任意位的全加位的运算结构级联.

4 基于忆阻器的可扩展乘法器设计

4.1 两位乘法器

式(2)~(5)给出了两位乘法器的乘数 A_1A_0 、

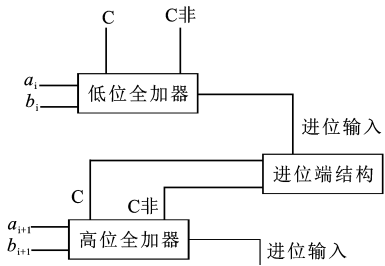


图 8 全加器 i 位到 $i+1$ 位利用读出结构级联

B_1B_0 与积 $Y_3Y_2Y_1Y_0$ 的各个位之间的逻辑关系,使用基于忆阻器的逻辑门实现的两位乘法器硬件如图 9 所示.

$$Y_0 = A_0 B_0 \tag{2}$$

$$Y_1 = A_1 B_0 + A_0 B_1 \tag{3}$$

$$Y_2 = A_1 B_1 + (A_1 B_0 \cdot A_0 B_1) \tag{4}$$

$$Y_3 = A_1 B_1 \cdot (A_1 B_0 \cdot A_0 B_1) \tag{5}$$

图 9 实现输入 A_1A_0 和 B_1B_0 二进制数的乘法运算,其中 A_1 、 B_1 分别为两个乘数的高位, A_0 、 B_0 为两个乘数的低位,2 个二位的二进制数相乘得到一个四位的二进制数,即 $Y_3Y_2Y_1Y_0$. 其中忆阻模型采用的是 HP 模型,读出结构如图 2 所示.

4.2 基于提出读出结构的四位乘法器及更多位乘法器位数的扩展

随着乘法器位数的增加,电路的复杂程度成指数增长,仅仅通过单纯的逻辑门设计四位乘法器会十分的复杂和繁琐.基于提出的读出结构,将上述逻辑门和加法器结合起来,从而使构建四位的乘法器变得相对容易.例如对于四位乘法器,乘数分别为两个 4 位二进制数为 A 和 B,乘法结果为一个 8 位二进制数.具体实现上,首先,将乘数 A 与 B 的低两位分别进行乘法运算得出结果.然后,将 B 中第 2 位与 A 的乘法结果向左移 1 位,空位补 0 与另一个积相加,得到一个 6 位的二进制数.接着将 A 与 B 的第 3 位做乘法,并向左移 2 位后与之前得到的 6 位二进制数相加,得到一个 7 位的二进制数.最后,将 A 与 B 的最高位做乘法,向左移动 3 位后与前面得到的 7 位二进制数相加,得到乘法运算的最终结果 8 位二进制数.这里主要用到了一系列逻辑门、一个 6 位全加器、一个 7 位全加器和一个 8 位全加器,并采用了提出的读出结构进行级联.

n 位乘法器的设计思路与上面说的 4 位乘法器例子类似,同样也是通过移位和相加的方式来实现.其中的一个乘数的第 i 位(i 的取值范围 $2 \sim n$) 与另一个乘数相乘,记为 k_i . 然后,将 k_i 向左移动 i 位并

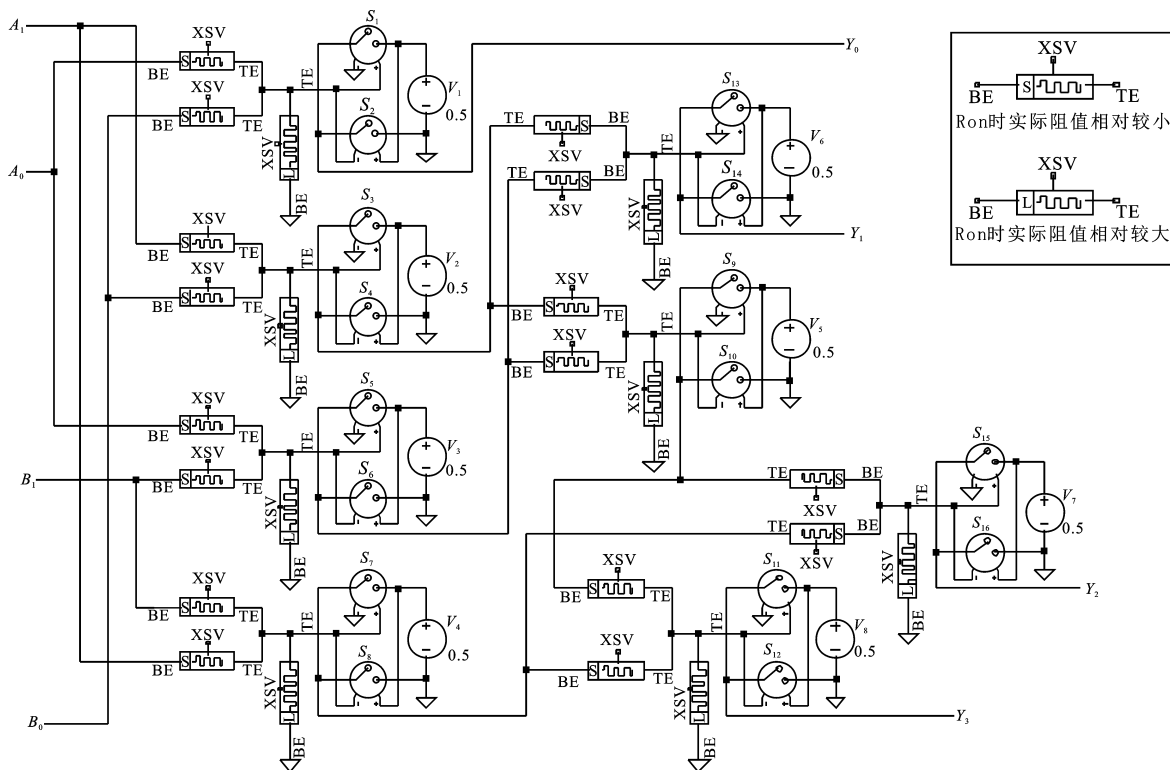


图9 基于忆阻器的两位乘法器

且与上一次相加的结果相加,得到一个 $i+n$ 位的二进制数。依此类推,经过 $n-1$ 次移位和相加计算,最终可以得到一个 $2n$ 位的二进制数,即为 n 位乘法器的结果,级间采用提出的读出结构进行级联。

5 实验结果

不失一般性,以两位乘法器为例进行仿真,仿真工具为 LTspice XVII,模型仍然采用 HP 模型。在仿真过程中,以电压 0.5 V 代表逻辑“1”、 0 V 代表逻辑“0”。这里给出其中两种仿真情况结果: $A_1A_0(=2'b01)$ 乘以 $B_1B_0(=2'b11)$ 和 $A_1A_0(=2'b11)$ 乘以 $B_1B_0(=2'b11)$ 。

当输入 $A_1A_0(=2'b01)$ 和 $B_1B_0(=2'b11)$ 时, $Y_3Y_2Y_1Y_0$ 的输出如图 10 所示, Y_3 、 Y_2 、 Y_1 和 Y_0 的输出电压值分别约为 0 V 、 0 V 、 0.5 V 和 0.5 V , 即 $Y_3Y_2Y_1Y_0$ 的逻辑输出为 $(=4'b0011)$, 结果与理论相符; 当输入 $A_1A_0(=2'b11)$ 和 $B_1B_0(=2'b11)$ 时, $Y_3Y_2Y_1Y_0$ 的输出如图 11 所示, Y_3 、 Y_2 、 Y_1 和 Y_0 的输出电压值分别约为 0.5 V 、 0.5 V 、 0.5 V 和 0.5 V , 即 $Y_3Y_2Y_1Y_0$ 的逻辑输出为 $(=4'b1111)$, 结果与理论亦相符。

除了仿真结果和理论计算结果统一印证提出的

读出结构有效外,通过研究图 10 和图 11 中的相同逻辑门在经过不同级联级数后不同时间的输出结果可以看出,输出的同一逻辑值的电压变化曲线十分相近。例如,图 9 中 Y_2 相较于 Y_0 经过更多级逻辑门,对于状态 1 的输出曲线基本不衰减变化,这也进一步说明了每个逻辑门经过提出的读出结构后保持了独立性,从而可以有效支持基于忆阻器的乘法器的位宽扩展。

6 结束语

忆阻器是一种新型纳米器件,由于其低功耗、和 CMOS 工艺兼容、计算和存储可以在同一物理位置实现等优良特性,其具有解决“存储墙”问题的潜力。然而,在基于忆阻器的传统逻辑设计中,大规模电路扩展时会遇到信号衰减、输入值与输出值状态不统一问题,针对这一问题,提出了一种将忆阻器状态逻辑读出并转换为电压逻辑的级联结构,基于该结构给出了全加器的位间级联方式和基于忆阻器的乘法器扩展设计。仿真结果表明,该结构可以有效支持乘法器的位宽扩展。然而到目前为止,在设计中,我们并没有对基于忆阻器的出发电路进行优化,后续工作将进一步在利用级联结构后的电路进行优化设计。

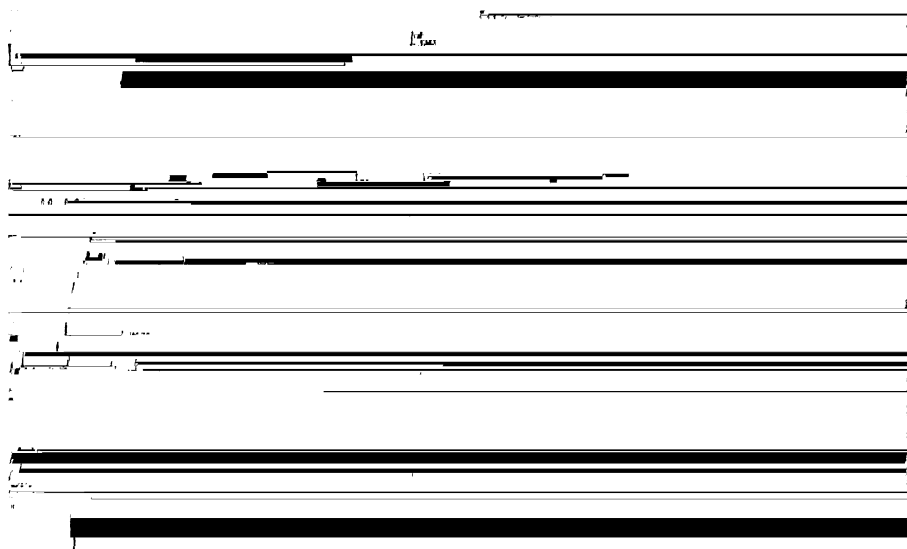


图 10 $A_1A_0(=2'b01)$ 与 $B_1B_0(=2'b11)$ 相乘输出结果 $Y_3Y_2Y_1Y_0$

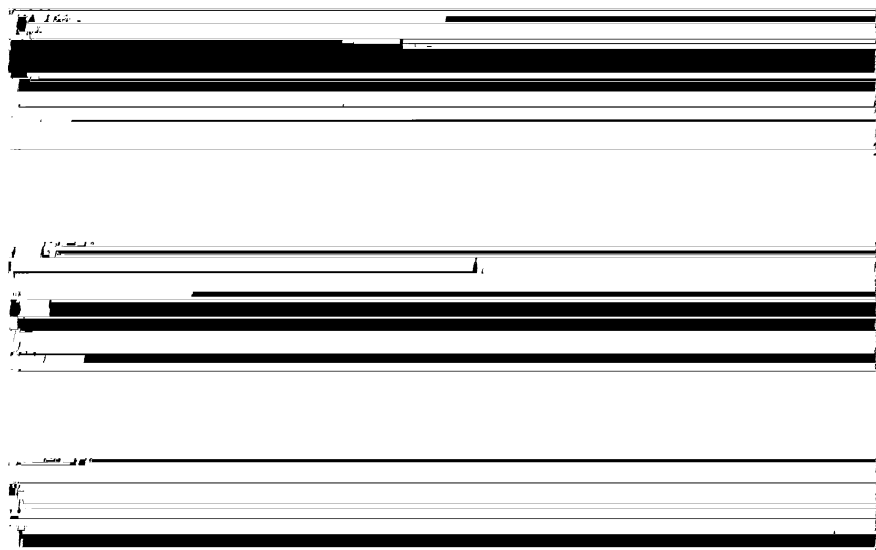


图 11 $A_1A_0(=2'b11)$ 与 $B_1B_0(=2'b11)$ 相乘输出结果 $Y_3Y_2Y_1Y_0$

参考文献:

[1] CHUA L. Memristor-The missing circuit element[J]. IEEE Transactions on Circuit Theory, 1971, 18(5): 507-519.

[2] STRUKOV D B, SNIDER G S, STEWART D R, et al. The missing memristor found[J]. Nature, 2008, 453(7191):80-83.

[3] BORGHETTI J, SNIDER G S, KUEKES P J, et al. Memristive's witchese nable'sateful'logic operations via material implication[J]. Nature, 2010, 464(7290): 873-876.

[4] PAPANDROULIDAKIS G, VOURKAS I , VASILE-IADIS N , et al. Boolean logic operations and computing circuits based on memristors[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2014, 61(12):972-976.

[5] CHO K R, LEE S J, ESHRAGHIAN K. Memristor-CMOS logic and digital computational components [M]. North-Holland; Elsevier Science Publishers B. V. 2015.

[6] ZHANG Y , SHEN Y , WANG X , et al. A novel design for a memristor-based or gate[J]. IEEE Transactions on Circuits & Systems II Express Briefs, 2015, 62(8):781-785.

[7] ZHU X , YANG X , WU C , et al. Performing stateful logic on memristor memory[J]. IEEE Transactions on Circuits & Systems II Analog & Digital Signal Processing, 2013, 60(10):682-686.

路中的反馈结构在 ESD 来临时能够保证电路中 BIGFET 的开启时间在 $1\ \mu\text{s}$ 左右,有效泄放 ESD 电流,保护内部电路结构。检测电路中电容仅为 20fF ,节省了电路的版图面积。反馈结构的引入,增强了电路的抗干扰能力,能够很好地防止误触发事件的发生。经过仿真,在高速电路中,新结构电路依然能够有效的起到保护功能。

参考文献:

- [1] CAI X W. An area-efficient clamp based on transmission gate feedback technology for power rail electrostatic discharge protection [J]. IEEE Electron Device Letters, 2015, DOI:10.1109/LED.2015.2434835.
- [2] KER M D, CHIU P Y, TSAI F Y, et al. On the design of power-rail ESD clamp circuit with consideration of gate leakage current in 65-nm low-voltage CMOS process [J]. IEEE Int Symp Circuits Syst, 2009; 2281. DOI:10.1109/ISCAS.2009.5118254.
- [3] CHIU P Y, KER M D. New low-leakage power-rail ESD clamp circuit in a 65-nm low-voltage CMOS process [J]. IEEE Trans Device Mater Reliab, 2011, 11;474. DOI:10.1109/tdmr.2010.2066976.
- [4] STOCKINGER M, MILLER J W, KHAZHINSKY M G, et al. Boosted and distributed rail clamp networks for ESD protection in advanced CMOS technologies [C] //Proc EOS/ESD Symp. [S. l], 2003;17.
- [5] CHENG Y C, KER M D. The effect of IEC-like fast transients on RC-triggered ESD power clamps [J]. IEEE Trans Electron Devices, 2009(56):1204.
- [6] YEH C T, KER M D. Capacitor-less design of power-rail ESD clamp circuit with adjustable holding voltage for on-chip ESD protection [J]. IEEE J Solid-State Circuits, 2010(45):2476.
- [7] KER M D, CHEN T Y. ESD protection design on analog pin with very low input capacitance for high-frequency or current mode applications [J]. IEEE J. Solid-State Circuits, 2000,35(8): 1194-1199.
- [8] SMITH J, CLINE R, BOSELLI G. A low leakage low cost PMOS-based power supply clamp with active feedback for ESD protection in 65-nm CMOS technologies [C] //Proc EOS/ESD Symp. [S. l], 2005; 298-306.
- [9] JOSHI G, SINGH D, THANGJAM S. Effect of temperature variation on gate tunneling currents in nanoscale MOSFETs [C]//Proc IEEE Conf Nanotechnology, China, Xi'an, 2008;37.

作者简介:

张晓波 男,(1971-),硕士,讲师.研究方向为集成电路设计.

许东升 男,(1993-),硕士研究生.研究方向为智能功率集成电路设计.

戴 澜(通讯作者) 男,(1975-),博士,副教授.研究方向为高速高精度模数转换器设计与精度提高技术.

E-mail: perfect_dai@163.com.

蔡小五 男,(1979-),博士,研究员,博士生导师.研究方向为智能功率集成电路设计.

彭 锐 男,(1992-),硕士研究生.研究方向为功率驱动电路设计.

汤红菊 女,(1993-),硕士研究生.研究方向为智能高边功率开关设计.

(上接第 64 页)

- [8] WANG X, CHEN Q, WAN H, et al. A logic circuit design for perfecting memristor-based material implication[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2017, 36(2):279-284.
- [9] AHMAD K, ABDALHOSSEIN R. Novel design for a memristor-based full adder using a new IMPLY logic approach[J]. Journal of Computational Electronics, 2018,17(3): 1303-1314.
- [10] XIE L, NGUYEN H A D, TAOUIL M, et al. Fast boolean logic mapped on memristor crossbar [C]//IEEE International Conference on Computer Design. New York City, USA, IEEE Computer Society, 2015.
- [11] ZHANG Y, SHEN Y, WANG X, et al. A novel design for memristor-based logic switch and crossbar circuits[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2015, 62(5):1402-1411.
- [12] 邓辉. 基于忆阻器的加法器设计及其仿真分析[D]. 武汉:华中科技大学, 2016.

作者简介:

郑子遇 男,(1993-),硕士研究生.研究方向为基于忆阻器的集成电路设计. E-mail:594752250@qq.com.

江先阳 男,(1974-),博士,副教授.研究方向为大规模集成电路设计.

汤知日 男,(1994-),硕士研究生.研究方向为类脑计算和忆阻神经网络.